

科目名	情報環境先端演習
英文名	Advanced Topics on Information Environment
学部学科	先端科学技術研究科 情報通信メディア工学専攻
配当学年	1・2・3年次
開講時期	通年
単位数	4.0
必選区分	選択
担当者名	上野 洋一郎

目的概要	同期式プロセッサと非同期式プロセッサをハードウェア記述言語で記述・シミュレーションすることで、 ○プロセッサの構造と制御の理解 ○同期式と非同期式の相違点の理解 ○非同期式順序回路の理解 ○ハードウェア記述言語(HDL)の理解 を目指す。
教科書名	特に無し
参考書名	コンピュータの構成と設計, HDL設計入門
評価方法	同期式プロセッサの設計とHDL記述に関する報告書と非同期式プロセッサの設計とHDL記述に関する報告書を提出して貰います。その報告書の内容と、プロセッサの設計の完成度、HDL記述の完成度を以下の割合で合計します。 同期式プロセッサの報告書【設計の完成度 30%, HDL記述の完成度 30%, 報告書の完成度 10%】 非同期式プロセッサの報告書【設計の完成度 10%, HDL記述の完成度 10%, 報告書の完成度 10%】
テーマ・内容	プロセッサの構造と制御の理解、HDLの理解、非同期式回路の理解と多岐に及びます。 1. まずは古典的なアキュムレータを持つプロセッサの構造と制御を学びます。 2. 古典的なプロセッサのHDL記述を各自で行います。 3. 次に現代的なプロセッサの基本となるパイプライン型プロセッサの構造と制御を学びます。 4. パイプライン型プロセッサの設計を各自で行います。 5. 自分で設計したパイプライン型プロセッサのHDL記述を行います。 6. HDL記述のシミュレーションにより、パイプラインをストールさせる要因や、様々なハザードを確認します。 7. ここまでの報告書を作成します。 8. 非同期式回路とその制御を学びます。 9. 古典的なプロセッサを非同期化したHDL記述を各自で行います。 10. 非同期式のHDL記述と、先に作成した同期式のHDL記述のシミュレーションを通して、同期式と非同期式の挙動の差異、性能を決定する要因、問題点を確認します。 11. 自分で設計したパイプライン型プロセッサを非同期化したHDL記述を各自で行います。 12. HDL記述のシミュレーションにより、非同期式パイプラインの特性の理解と改善策の検討を行います。 13. 非同期式の報告書を作成します。
E-Mail address	ueno416@mail.dendai.ac.jp
履修上の注意事項・ 学習上の助言	